

GRAU EN ENGINYERIA ELECTRÒNICA INDUSTRIAL I AUTOMÀTICA

101314 - ELECTRÒNICA DIGITAL II

Informació general

- Tipus d'assignatura : Obligatòria
- Coordinador : Julián Horrillo Tello
- Curs: Tercer
- Trimestre: Primer
- Crèdits: 4
- Professorat:
 - Marcos Faúndez Zanuy <faundez@tecnocampus.cat>

Idiomes d'impartició

- Castellà

Algunes preguntes dels qüestionaris moodle estan en Català, la resta en castellà

Competències que es treballen

Específica

- CE21: Conèixer els fonaments i aplicacions de l'electrònica digital i els microprocessadors.
- CE24: Capacitar per dissenyar sistemes electrònics analògics, digitals i de potència.

Bàsiques i Generals

- CB3: Que els estudiants tinguin la capacitat de reunir i interpretar dades rellevants (normalment dins la seva àrea d'estudi) per emetre judicis que incloguin una reflexió sobre temes rellevants de naturalesa social, científica o ètica.

Descripció

Aquesta assignatura és la continuació d'electrònica digital I. Mentre que a electrònica digital I s'expliquen els blocs constituents dels sistemes digitals i s'aprèn a sintetitzar i analitzar circuits que resolguin tasques senzilles, en aquest curs es planteja la construcció d'un processador senzill programable en llenguatge assamblador.

La continuació de l'assignatura d'electrònica digital II és l'assignatura de microprocessadors, on bàsicament es treballarà sobre un micro-controlador ARM cortex M4.

Aquesta assignatura disposa de recursos metodològics i digitals per fer possible la seva continuïtat en modalitat no presencial en el cas de ser necessari per motius relacionats amb la Covid-19. D'aquesta forma s'assegurarà l'assoliment dels mateixos coneixements i competències que s'especifiquen en aquest pla docent.

El Tecnocampus posarà a l'abast del professorat i l'alumnat les eines digitals necessàries per poder dur a terme l'assignatura, així com guies i recomanacions que facilitin l'adaptació a la modalitat no presencial

Resultats d'aprenentatge

1.	Implementa maquinari utilitzant components digitals discrets (SSI, MSI), programables (PLD), microprocessadors, microcontroladors i DSP.(CE21, CE28)
2.	Dissenya algorismes i escriu codi en programes d'alt i de baix nivell.(CE23)
3.	Aplica eines de programació de dispositius PLD, microprocessadors, microcontroladors i DSP dels equips digitals. (CE21)
4.	Selecciona de forma crítica els components adequats per a cada aplicació, interpretant i analitzant-ne les característiques. (CE24)
5.	Manega la terminologia científicotècnica pròpia dels components electrònics digitals en anglès. (CE21, CE24, CE28)
6.	Elabora informes tècnics de projecte, avalua alternatives i justifica les seves anàlisis i criteris de disseny(CE21, CE24, CE28)

En acabar l'assignatura l'estudiant o estudianta ha de ser capaç de:

1. Explicar amb paraules pròpies el funcionament d'un computador tipus Von Neuman: la seva estructura interna a nivell dels subsistemes processador, bus, memòria i entrada/sortida i l'execució d'un programa en llenguatge màquina. Explicar també les diferències més rellevants entre el llenguatge màquina dels computadores RISC i CISC.
2. Explicar què és un circuit lògic seqüencial (cas general de Mealy i cas particular de Moore). Especificar el funcionament d'un biestable D activat per flac i el seu esquema lògic intern usant dos multiplexors.
3. Analitzar circuits seqüencials de Moore petits (obtenir el seu graf d'estats i el seu temps de cicle mínim, així com dibuixar cronogrames simplificats del seu funcionament).
4. Sintetitzar (amb el menor nombre de biestables D activats per flanc i qualsevol de les tècniques estudiades en síntesi de circuits combinacionals) petits circuits seqüencials de Moore.
5. Explicar el protocol de comunicació asíncron de quatre passos (Four-Phase Handshaking) i aplicar-lo en l'entrada i sortida de dades en processadors de propòsit específic.
6. Dibuixar l'estructura d'interconnexió de la unitat de procés general (UPG) a nivell de blocs i l'esquema lògic intern de cada bloc que la formen (banc de registres i unitat aritmètica lògica).
7. Dibuixar el graf d'estats de Moore de la unitat de control de propòsit específic per a que, junt amb la unitat de procés general (UPG), implementi una funcionalitat concreta.
8. Explicar els passos necessaris per transformar una unitat de control de propòsit específic (implementació d'un graf d'estats) en una unitat de control de propòsit general (UCG) que, junt amb la unitat de procés general (UPG), formarà un processador RISC senzill. Justificar i explicar la seqüenciació implícita i la codificació d'instruccions.
9. Justificar la necessitat d'una memòria de dades gran. Explicar el funcionament d'un bloc de memòria RAM mitjançant un cronograma de les seves senyals d'entrada i sortida (model simplificat).
10. Dibuixar l'esquema lògic intern d'un subsistema d'entrada/sortida senzill amb un teclat i una impressora.
11. Dibuixar l'esquema d'interconnexió dels subsistemes de memòria

Metodologia de treball

El mètode docent de l'assignatura segueix el que s'ha denominat en l'ICE de la UPC com a mètode Pigmalíó, que es pot resumir en els punts següents:

1. Una meta final ambiciosa. Els estudiants passen de conèixer circuits digitals bàsics a com està construït per dins un ordinador a dissenyar amb tot detall un ordinador que està format per unes 3.000 portes lògiques. Això és un element de motivació important.
2. Un programa detallat d'activitats: el que els alumnes han de fer a classe i sobretot fora de classe. Després de cada classe de dues hores de teoria i problemes han d'estudiar 1,5 hores i han de resoldre una col·lecció d'exercicis que els portarà aproximadament 1,5 hores (aquests exercicis són qüestionaris Moodle de lliurament electrònic i poden ser d'altres més complexos de lliurament en paper) i que han de lliurar a l'inici de la següent classe.
3. El programa d'activitats té passos assequibles i, de mica en mica, es van assolint els objectius de l'assignatura (el final ambiciós motiva i els passos assequibles fan viable el camí).
4. El resultat de cada activitat del programa es materialitza en un lliurament, que posa de manifest si l'alumne ha fet la tasca. Es donen les solucions dels exercicis i problemes i també es donen els criteris de qualitat per a avaluar-los.
5. Mecanismes de feedback a temps (en base a les entregues del curs) perquè l'estudiant sàpiga com va (i el professor també): 1) Els estudiants poden saber immediatament si cada pregunta del qüestionari Moodle que han resolt està bé o malament i poden contestar les vegades que ho desitgin fins respondre correctament. 2) A l'inici de cada classe s'aclareixen dubtes dels exercicis Moodle i es corregeixen, si s'escau, els problemes de lliurament en paper que han fet a casa, sabent si ho han fet bé o malament. 3) A cada classe, si s'escau, l'alumne haurà de resoldre exercicis de forma individual o en grup que li indicaran com va. 4) Hi ha tres exàmens/controls de teoria i problemes i quatre de laboratori distribuïts durant tot el curs, que també donen feedback a temps.
6. Es preparen accions específiques per als alumnes que tenen més dificultats (i també per als més avançats): consultes particulars, tallers per a la realització de problemes, etc.
7. S'utilitzen tècniques d'aprenentatge cooperatiu per motivar als alumnes a realitzar les activitats. A les classes de teoria i problemes es fan servir tècniques d'aprenentatge actiu fent que les exposicions del professor siguin curtes i que els estudiants hagin de treballar també a classe.
8. El mètode de qualificació és un estímul més per recórrer el camí, per fer les activitats a temps, i per tant per aprendre.
9. Hi ha un pla de recollida sistemàtica de dades sobre la evolució del curs, i es fan servir aquestes dades com a motor d'un procés de millora continuada.

Continguts

T1. Introducció

Una breu introducció a la informació digital i la seva representació i als circuits digitals, processadors de propòsit específic i al computador (model de Von Neumann) així com al llenguatge màquina i assamblador i la seva relació amb els llenguatges d'alt nivell (compilació/traducció).

T2. Circuits lògics seqüencials

Necessitats de memòria i sincronització. Senyal de rellotge. Definició de circuit seqüencial síncron. El biestable D activat per flanc: definició i implementació amb dos multiplexors, temps de propagació i cronogrames. Regles d'interconnexió per construir circuits seqüencials vàlids. Estructura d'un circuit seqüencial (models de Mealy i de Moore). Taula de transicions i taula de sortides. Grafs d'estat per al model de Moore. Cronogrames simplificats.

Anàlisi lògica: del circuit al graf d'estats. Síntesi: de l'especificació funcional al graf d'estats i d'aquest darrer a l'esquema lògic del circuit amb el mínim nombre de biestables. Anàlisi temporal: camins crítics i temps de cicle mínim

T3. Processadors de propòsit específic

Introducció. Disseny de processadors de propòsit específic amb una unitat de procés (que processa paraules de n bits) i una unitat de control (que genera la paraula de control en cada cicle). La unitat de procés es dissenya adhoc mitjançant blocs combinacionals i seqüencials d' n bits. La unitat de control s'especifica mitjançant un graf d'estats de Moore. Exemples amb entrada i sortida de dades síncrona: sumar quatre nombres, calcular el MCD de dos nombres amb l'algorisme d'Euclides, etc. Protocol de comunicació asíncrona per a l'entrada i sortida de dades: Handshaking de quatre fases. Exemples amb entrada i sortida asíncrones.

T4. Unitat de procés general

Introducció: dels processadors de propòsit específic al processador de propòsit general. Banc de registres amb dos busos de lectura i un d'escriptura. Unitat aritmètic-lògica amb funcionalitat d'operacions lògiques bit a bit, operacions aritmètiques (suma, resta i multiplicacions i divisions per potències de dos per naturals i enters), comparacions (igual i menor i menor o igual per a naturals i enters) i moviment. Estructura de la Unitat de procés general (UPG). Connexionat entre la UPG i la Unitat de control: paraula de control i bit de condició de zero.

Accions a realitzar en un d'aquest problema usant la UPG. Mnemotècnics de les accions (AND, OR, XOR, NOT, ADD, SUB, SHA, SHL, CMPLT, CMPL, CMPEQ, CMPLTU, CMPL, MOV, IN, OUT i NOP) i bits de la paraula de control associada. Accions amb valors immediats i accions que no modifiquen cap registre. Disseny de processadors de propòsit específic utilitzant la UPG (especificació de la unitat de control mitjançant un graf d'estats i la paraula de control mitjançant mnemotècnics). Espai d'adreces d'entrada / sortida i accions IN i OUT.

Entrada i sortida de dades asíncrona mitjançant el protocol de handshaking de quatre fases. Exemples de disseny a partir d'un codi en un llenguatge d'alt nivell que especifica la funcionalitat del processador (sumador de quatre números, càlcul del MCD per l'algorisme d'Euclides, etc.).

T5. Unitat de control general

Implementació inicial de la unitat de control (com qualsevol altre circuit seqüencial): amb un registre d'estat, una memòria ROM (on en cada paraula s'emmagatzemen els dos possibles estats següents, segons el bit de condició z , i la paraula de control que governarà a la UPG durant un cicle) i un multiplexor de busos per seleccionar l'estat següent segons z . Model de computador Von Neumann i Harvard. Memòria d'instruccions en ROM. Del graf d'estats al programa en llenguatge màquina / assamblador. Estructura definitiva de la unitat de control amb seqüenciaments implícits, instruccions de 16 bits i descodificador d'instruccions per obtenir la paraula de control de 50 bits a partir dels 16 bits de la instrucció. Format (instruccions de 1, 2 o 3 registres) i codificació de les instruccions SISA. Tipus d'ús: aritmètic-lògiques i de comparació, de ruptura de seqüència, d'entrada sortida, de moviment (càrrega d'un registre amb una constant) i de suma d'una constant petita. Exemples de passar de grafs (que especificuen una UC amb objectius específics que juntament amb la UPG executa un algorisme) a fragments de codi en llenguatge assamblador SISA per realitzar la mateixa funció (encara que generalment requereix més cicles).

T6. Memòria i entrada sortida

La memòria RAM, model senzill de funcionament (cronogrames de lectura i escriptura, temps d'accés per a una lectura i de set-up i amplada del pols del senyal de permís d'escriptura per a una escriptura). Espai d'adreces de memòria. Connexionat de la memòria de dades al processador. Instruccions de lectura (load, LD) i escriptura (store, ST): semàntica, format en llenguatge màquina i sintaxi en ensamblador. Exemples de modificació de l'estat de l'ordinador d'instruccions concretes de load i store. Exemples de petits programes amb accés a memòria.

Subsistema senzill d'entrada / sortida format per un teclat i una impressora amb efecte lateral de posada a zero del registre (port) d'estat en llegir (teclat) o escriure (impressora) el registre de dades. Entrada / sortida amb sincronització per enquesta. Exemples de petits programes amb entrada i sortida de dades.

T7. Llenguatge màquina i assamblador

Repàs general del llenguatge màquina i assamblador SISA (25 instruccions) que s'ha definit en els dos temes anteriors. Exercicis sobre: a) acoblar i desacoblar codi SISA, b) com queda modificat l'estat de l'ordinador després d'executar una instrucció o un petit programa ic) escriure petits programes en llenguatge assamblador.

T8. Processador unicycle

Completar alguns detalls de la implementació unicycle (SISC Harvard unicycle) del processador que executa programes en llenguatge màquina SISA que ja es va anar creant en els temes 8, 9 i 10: a) petita modificació de l'ALU de la UPG per poder executar les instruccions de moviment immediatament als 8 bits de més pes d'un registre MOVHI, b) un únic bus d'adreces per a l'espai d'entrada i de sortida ic) disseny del descodificador d'instruccions (per obtenir la paraula de control de 46 bits a partir de la instrucció de 16 bits) mitjançant una petita memòria ROM i alguns multiplexors i portes. Contingut de la ROM de l'escodificador d'instruccions.

Restriccions temporals dels senyals de permís d'escriptura en memòria i entrada / sortida de dades. Exemples de modificació del disseny del SISC Harvard unicycle perquè pugui executar, a més de les 25 instruccions originals, alguna altra instrucció nova. Càlcul del camí crític de l'ordinador unicycle i temps de cicle mínim. Temps d'execució de petits programes.

T9. Processador multicicle

Justificació de la implementació multicicle (SISC Harvard multicycle) davant de la unicycle (SISC Harvard unicycle). Modificacions en la unitat de control del processador. Disseny de la unitat de control seqüencial: graf d'estats i implementació. Restriccions temporals dels senyals de permís d'escriptura en memòria i entrada / sortida de dades. Exemples de modificació del disseny del SISC Harvard multicycle perquè pugui executar, a més de les 25 instruccions originals, alguna altra instrucció nova. Càlcul del camí crític de l'ordinador multicicle i temps de cicle mínim. Temps d'execució de petits programes.

Activitats d'aprenentatge

		Dedicació	
		Hores	Tant per cent
Aprenentatge dirigit	Grup gran/teoria	30	30%
	Grup mitjà/pràctiques	0	
	Grup petit/laboratori	10	10%
	Activitats dirigides	0	
Aprenentatge autònom		60	60%

T1: Introducció T2: Circuits lògics seqüencials	Dedicació: 10 h	Grup gran/Teoria: 4h Activitats dirigides: h Aprentatge autònom: 6h
Descripció	Introducció. Introducció als circuits lògics seqüencials: el cas general de Mealy i el cas particular de Moore. Anàlisi i síntesi de circuits seqüencials de Moore amb el mínim nombre de biestables D activats per flanc. Càlcul del temps de cicle mínim d'un circuit.	
Activitats vinculades	Exercicis de tema ET2a, ET2b, ET2c	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 2 a 4, competència E21	

T3: Processadors de propòsit específic	Dedicació: 10 h	Grup gran/Teoria: 4 Activitats dirigides: Aprentatge autònom: 6h
Descripció	Disseny de processadors de propòsit específic amb una unitat de procés (que processa paraules de n bits) i una unitat de control (que genera la paraula de control en cada cicle). Exemples amb entrada i sortida de dades síncrona. Protocol de comunicació asíncrona per a l'entrada i sortida de dades (Handshaking de quatre fases).	
Activitats vinculades	ET3a, ET3b	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 5, 7 i 8: competències CB3, E21 i E24	

Examen 1: Temes 1 a 3	Dedicació: 3h	Durada examen: 1h Aprentatge autònom: 2h
Descripció	Examen dels temes 1 a 3	
Activitats vinculades	ET2a, ET2b, ET2c (optatiu), ET3a, ET3b	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 2, 4, 5, 7 i 8	

T4: Unitat de procés general (UPG)	Dedicació: 15h	Grup gran/Teoria: 6h Activitats dirigides: Aprentatge autònom: 9h
Descripció	Noció de processador de propòsit general Introducció de l'estructura a nivell de blocs de la unitat de procés general (UPG) i del circuit lògic intern dels blocs que la formen: banc de registres i unitat aritmètica lògica. Disseny de la unitat de control de propòsit específic per a que conjuntament amb la unitat de procés general implementin una funcionalitat donada	
Activitats vinculades	ET 4a, ET4b, ET4c	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 6, competència E24	

T5: Unitat de control general: del graf d'estats al programa	Dedicació: 10h	Grup gran/Teoria: 4h Aprentatge autònom: 6h
--	----------------	--

Descripció	Introducció als seqüenciaments implícits i de la codificació de les instruccions mitjançant un format compacte
Activitats vinculades	ET5a, ET5b
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 8, competència CB3 i E24

T6: Entrada/sortida i memòria	Dedicació: 5h	Grup gran/Teoria: 2h Activitats dirigides: Aprenentatge autònom: 3h
Descripció	<p>Comprensió de l'estructura d'interconnexió dels subsistemes d'entrada/sortida i memòria de dades connectats a la unitat de procés general.</p> <p>Descripció del esquema lògic intern del subsistema d'entrada/sortida amb un teclat i una impressora i dels blocs que el formen.</p> <p>Disseny de la unitat de control de propòsit específic per a que conjuntament amb la unitat de procés general i els subsistemes d'entrada/sortida i memòria implementin una funcionalitat donada</p>	
Activitats vinculades	Exercicis de tema ET6b (ET6a opcional)	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 9 a 11, competència E24	

Examen 2: Temes 4 a 6	Dedicació: 3h	Durada examen: 1h Aprenentatge autònom: 2h
Descripció	Examen dels temes 4 a 6	
Activitats vinculades	ET4a, ET4b, ET4c, ET4a, ET4b, ET5a, ET5b, ET6	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 1 a 11	

T7: El llenguatge màquina i ensamblador SISA-I	Dedicació: 5h	Grup gran/Teoria: 2h Activitats dirigides: Aprenentatge autònom: 3h
Descripció	Introducció del joc d'instruccions del llenguatge màquina SISA-I i l'especificació del seu llenguatge ensamblador	
Activitats vinculades	Exercicis de tema ET7	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 1, competència CB3 i E24	

T8: Processador monocicle SISP-I-1	Dedicació: 10h	Grup gran/Teoria: 4h Activitats dirigides: Aprenentatge autònom: 6h
Descripció	Comprensió de l'estructura interna i el seu funcionament del processador SISP-I-1 on cada instrucció s'executa en un únic cicle.	
Activitats vinculades	Exercicis de tema ET8a, ET8b	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 1, competència CB3 i E24	

T9: Processador multi-cicle SISP-2	Dedicació: 3h	Grup gran/Teoria: 1h Activitats dirigides: Aprentatge autònom: 2h
Descripció	Comprensió de l'estructura interna i el seu funcionament del processador SISP-2 on hi ha instruccions lentes (lectura/escriptura a memòria) i ràpides.	
Activitats vinculades	Exercicis del tema ET9	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 1, competència CB3 i E24	

Examen 3: Temes 7 a 9	Dedicació: 3h	Durada examen: 1h Aprentatge autònom: 2h
Descripció	Examen dels temes 11 a 12	
Activitats vinculades	ET11, ET12a, ET12b	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 1 a 11	

Sessions de laboratori

Pràctica 1: Circuits seqüencials	Dedicació: 8h	Grup gran/Teoria: Activitats dirigides: 4h Aprentatge autònom: 4h
Descripció general	Dissenyar un sistema digital seqüencial, aplicant la sistemàtica de resolució d'autòmats finits seguint el model de Moore. Implementació amb biestables i portes /ROM Saber interpretar un diagrama de transició d'estats. Experimentar amb un simulador de circuits lògics	
Material de suport	Simulador Orcad Pspice	
Lliurable i vincles amb l'avaluació	Prova prèvia. Si s'escau, fitxer de simulació del circuit. No cal realitzar informe final. La nota final es basa en preguntes orals	
Objectius específics	En finalitzar l'activitat l'estudiant o estudianta ha de ser capaç de: Dissenyar i simular un circuit lògic digital seqüencial	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 2 a 4 i 11, competència CB3 i E24	

Pràctica 2: instal·lació i posada en marxa entorn de desenvolupament Keil uVISION i CORTEX ARM M4	Dedicació: 4h	Grup gran/Teoria: Activitats dirigides: 2 Aprentatge autònom: 2h
Descripció general	Instal·lació i configuració del sistema.	
Material de suport	uVISION, placa de desenvolupament launchpad TIVA TM4C123G	

Lliurable i vincles amb l'avaluació	Prova prèvia. Demostració de la nota proporcionada pel grader. La nota final es basa en preguntes orals i els resultats de l'informe final.
Objectius específics	En finalitzar l'activitat l'estudiant ha de ser capaç de: 1) instal·lar els drivers del microcontrolador. 2) carregar programes a la placa de desenvolupament i executar-los. 3) realitzar modificacions senzilles en el codi en c.
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 1, competència E21

Pràctica 3: semàfor implementat amb màquina d'estats finits	Dedicació: 4h	Grup gran/Teoria: Activitats dirigides: 2 Aprenentatge autònom: 2h
Descripció general	Implementació d'un semàfor per a dos carrers d'un únic sentit amb LEDs externs i codi en c	
Material de suport	Simulador uVISION	
Lliurable i vincles amb l'avaluació	Prova prèvia. La nota final es basa en preguntes orals i els resultats de l'informe final	
Objectius específics	En finalitzar l'activitat l'estudiant ha de ser capaç de: Connectar elements externs a la placa de desenvolupament, entendre el codi en c del programa i simular el semàfor	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 1 a 11, competència E21, E24	

Pràctica 4: Introducció al llenguatge C.	Dedicació: 4h	Grup gran/Teoria: Activitats dirigides: 2 Aprenentatge autònom: 2h
Descripció general	Introducció al llenguatge C. Implementació d'algorismes de càlcul senzills	
Material de suport	Simulador uVISION Placa launchpad TM4C123G	
Lliurable i vincles amb l'avaluació	Prova prèvia. Si és el cas, codi en c..	
Objectius específics	La nota final es basa en preguntes orals i els resultats de l'informe final. Objectius específics En finalitzar l'activitat l'estudiant ha de ser capaç de: Realitzar programes senzills que realitzin càlculs simples.	
Vincles amb els resultats de l'aprenentatge	Vincles amb els resultats de l'aprenentatge 1, , competència CB3 i E21	

Sistema d'avaluació

Qualificació:

La Nota Final (NF) de l'assignatura s'obté ponderant la Nota de Teoria i problemes (NTP) i la nota de les pràctiques de Laboratori (NL):

$$NF = 0.8 NTP + 0.2 NL$$

L'assignatura està planificada de forma que, ens condicions normals, pugui ser aprovada per avaluació contínua.

Nota de Teoria i Problemes (NTP) per avaluació contínua:

La NTP s'obté a partir de ponderar 3 notes (N1, ..., N3). La nota Nk (per k=1, ..., 3) és la qualificació obtinguda en l'examen Ek (el qual es realitza en el període de classes) sempre i quan l'alumne hagi entregat satisfactòriament un 80% de les entregues sobre els temes/objectius avaluats. En el cas de no arribar al 80%, Nk serà 0.

Les entregues inclouen tant la realització a temps (i a casa) dels exercicis i problemes proposats després de cada sessió de teoria i problemes, com aquells exercicis i problemes realitzats a la pròpia classe.

Els pesos que ponderen cada nota Nk són proporcionals a les hores de treball que l'estudiant dedica a realitzar les activitats planificades per tal d'aconseguir els objectius avaluats, així com de la importància relativa de tals objectius dins de l'assignatura.

$$NTP = (N1 + N2 + N3) /3$$

La nota de Laboratori (NL):

La nota NL s'obté fent la mitja aritmètica de les notes de cada una de les 4 pràctiques de laboratori, avaluades en cadascuna de les sessions de laboratori. La nota de cada pràctica de laboratori Li (NLi per i=1...4) es calcula usant la següent fórmula:

$$NLi = 0.65 \times PPI + 0.35 IFi \text{ si s'entrega l'informe previ complet a l'inici de la sessió}$$

$$NLi = 0 \text{ si no s'entrega}$$

On:

PPI és la nota de la prova prèvia individual (d'uns 15 minuts de duració), la qual es realitza a l'inici de la sessió i que consisteix en preguntes semblants a la pràctica anterior, informe previ, etc..

IFi és la nota de l'informe final realitzat durant la sessió de laboratori.

Nota Final:

Al finalitzar les classes, després d'uns pocs dies de l'examen E3, l'alumne sabrà si ha aprovat l'assignatura mitjançant l'avaluació contínua de teoria i problemes, i l'avaluació del laboratori (NF \geq 5).

Recuperació

Només es poden presentar a l'examen de recuperació aquells estudiants que no hagin aprovat per avaluació contínua i hagin obtingut una nota d'avaluació contínua superior a 2,5/10 a la part de teoria i problemes.

Normes de realització de les activitats

Les proves es realitzaran de forma individual.

Les pràctiques es realitzaran per parelles o individualment a criteri del professor. La nota de la pràctica pot ser diferent per a cada membre del grup si el professor ho estima oportú.

Recursos

Bàsics

Bibliografies

- Introducció als computadors
Navarro, Juan José. Introducció als computadors: col·lecció de problemes i apunts de teoria [pdf]. Publicació interna UPC, 2011 Disponible a moodle
- Manual de pràctiques [pdf].
Faúndez-Zanuy, Marcos. Manual de pràctiques [pdf]. Publicació interna Tecnocampus Disponible a e-campus
- Transparències de l'assignatura
Faúndez-Zanuy, Marcos. Col·lecció de transparències de l'assignatura [pdf]. Publicació Tecnocampus 2021. Disponible a e-campus.

Complementaris

Bibliografies

- Principios de diseño digital
Gajski, D. D.. Principios de diseño digital. Prentice Hall, 1997. ISBN 84-8322-004-0.